

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06252654 A**(43) Date of publication of application: **09.09.94**

(51) Int. Cl.

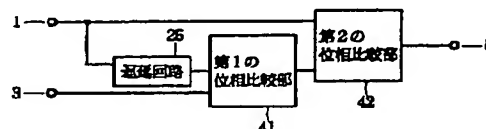
H03D 13/00(21) Application number: **05056410**(22) Date of filing: **23.02.93**(71) Applicant: **NIPPON TELEGR & TELEPH
CORP <NTT>**(72) Inventor: **ISHIHARA NOBORU**(54) **DATA SIGNAL PHASE COMPARATOR CIRCUIT**

(57) Abstract:

PURPOSE: To prevent a DC level of an output waveform from being largely fluctuated by a code pattern even when mutual phase comparison of digital code signals is implemented.

CONSTITUTION: An input signal fed to an input terminal 1 is delayed by a delay circuit 25 and a phase difference of the delay signal delayed at the delay circuit 25 and a phase of the input signal applied to an input terminal 3 are compared by a 1st phase comparator section 41 and a phase difference of its output and a phase of the input signal fed to the input terminal 1 are compared by a 2nd phase comparator section 42. Thus, a phase difference component generated in the 1st phase comparator section 41 and depending on the pattern of the input signal is cancelled in the 2nd phase comparator section 42.

COPYRIGHT: (C)1994,JPO&Japlo



【書類名】 特許願
【整理番号】 N T T H 0 4 7 6 3 5
【提出日】 平成5年2月23日
【あて先】 特許庁長官殿
【国際特許分類】 H 0 3 D 1 3 / 0 0
【発明の名称】 データ信号位相比較回路
【請求項の数】 3
【発明者】

【住所又は居所】 東京都千代田区内幸町1丁目1番6号 日本電信電話
株式会社内

【氏名】 石原 昇
【特許出願人】
【識別番号】 0 0 0 0 0 4 2 2 6
【氏名又は名称】 日本電信電話株式会社
【代表者】 児島 仁

【代理人】
【識別番号】 1 0 0 0 7 1 7 1 1
【弁理士】
【氏名又は名称】 小林 将高

【手数料の表示】
【納付方法】 予納
【予納台帳番号】 0 0 6 5 0 7
【納付金額】 1 4 0 0 0

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9 0 0 4 7 5 3

【書類名】 明細書

【発明の名称】 データ信号位相比較回路

【特許請求の範囲】

【請求項1】 2つの入力端子を有し、これらの2つの入力端子の一方に印加された入力信号を遅延させる遅延回路と、この遅延回路により遅延された遅延信号と、前に2つの入力端子の他方に印加された入力信号との位相差を出力する第1の位相比較部と、この第1の位相比較部の出力と前記入力端子の一方に印加された入力信号との位相差を出力する第2の位相比較部とを具備したことを特徴とするデータ信号位相比較回路。

【請求項2】 第1、第2のトランジスタのベース端子を第1の入力信号端子対とし、各々のエミッタ端子は共通に接続され、それぞれのコレクタ端子は第1、第2のインピーダンスを介して高電位電源端子に接続され、第3のトランジスタのベース端子は前記第2のトランジスタのベース端子に接続され、コレクタ端子は前記第1のインピーダンスを介して高電位電源端子に接続され、エミッタ端子は第4のトランジスタのエミッタ端子に接続され、この第4のトランジスタのベース端子は前記第1のトランジスタのベース端子に接続され、コレクタ端子は前記第2のインピーダンスを介して高電位電源端子に接続され、第5、第6のトランジスタのベース端子を第2の入力信号端子対とし、各々のエミッタ端子は第1の定電流源回路を介して低電位電源端子に接続され、第5のトランジスタのコレクタ端子は前記第1のトランジスタのエミッタ端子に接続され、第6のトランジスタのコレクタ端子は前記第3のエミッタ端子に接続され、第7のトランジスタのベース端子は遅延回路を介して前記第2のトランジスタのベース端子に接続され、コレクタ端子は前記第1のトランジスタのエミッタ端子に接続され、エミッタ端子は第2の定電流源回路を介して低電位電源端子に接続され、第8のトランジスタのベース端子は遅延回路を介して前記第1のトランジスタのベース端子に接続され、エミッタ端子は第2の定電流源回路を介して低電位電源端子に接続され、コレクタ端子は前記第3のトランジスタのエミッタ端子に接続され、第3、第4のトランジスタの各々のコレクタ端子を出力信号端子対としたことを特徴とするデータ信号位相比較回路。

【請求項3】 第7のトランジスタのエミッタ端子が第2の定電流源回路を介して低電位電源端子に接続され、第8のトランジスタのエミッタ端子が第3の定電流源回路を介して低電源端子に接続され、第3のインピーダンス素子が第7、第8のトランジスタ間に接続されていることを特徴とする請求項2に記載のデータ信号位相比較回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、位相比較信号として従来の正弦波等の繰り返し信号だけでなく、繰り返しパタンの信号とならないデジタル符号を入力信号として用いてもデータの符号パタンに大きく依存せず安定な位相差出力を得ることができるデータ信号位相比較回路を提供するものである。

【0002】

【従来の技術】

位相比較回路は、2つの信号の位相差を検出し、その結果を出力する回路で、位相同期回路の、位相同期をとるための制御回路として多く用いられている。特にデータ伝送システムでは、データの識別・タイミング信号（クロック信号）抽出を行う位相同期回路に用いられており、高精度な動作が要求される。また、単に繰り返し信号に対してのみ位相比較を行うだけでなく、マーク率の異なるランダムなデータ信号に対しても、高精度な位相比較出力が得られる構成が要望されている。

【0003】

8図は、一般に多く用いられている従来の位相比較回路であって、1、2は差動信号の入力端子、3、4も差動信号の入力端子、5、6は差動出力信号の出力端子、7は高電位電源端子、8は低電位電源端子、11～16はトランジスタ、21、22は抵抗、23は定電流回路である。本回路は、入力端子1、2間に加えられる信号と入力端子3、4間に加えられる信号の位相差を検出しその結果を出力端子5、6より得るものである。なお、R1、R2は抵抗、Vcc、Veeは電源電圧を示す。

【 0 0 0 4 】

図 9 は、図 8 の従来回路の動作を説明するための回路シミュレーション結果であって、(a) ~ (c) の 3 つの特性図は各々横軸に時間 (n s)、縦軸に電圧 (v) をとり各部の動作波形を示すものである。まず (a) 図は、入力信号として同じ位相の 2 つの信号を入力した時の動作波形を示すもので、3 1, 3 2 は図 8 の入力端子 1, 2 での電圧波形を示し、3 4 a, 3 4 b は入力端子 3, 4 での電圧波形を示し、3 5 a は出力端子 5, 6 間の差電圧の波形を示し、3 6 a は波形 3 5 a の直流レベルを示すものである。(b) 図は、入力信号として 9 0 度の位相差を持つ 2 つの信号を入力したときの動作波形を示すもので、3 1, 3 2 は入力端子 1, 2 での電圧波形を示し、3 3 b, 3 4 b は入力端子 3, 4 での電圧波形を示し、3 5 b は出力端子 5, 6 間の差電圧波形を示し、3 6 b は波形 3 5 b の直流レベルを示すものである。(c) 図は、入力信号として 1 8 0 度の位相差を持つ 2 つの信号を入力したときの動作波形を示すもので、3 1, 3 2 は入力端子 1, 2 での電圧波形を示し、3 3 c, 3 4 c は入力端子 3, 4 での電圧波形を示し、3 5 c は出力端子 5, 6 間の差電圧波形を示し、3 6 c は波形 3 5 c の直流レベルを示すものである。

【 0 0 0 5 】

図 9 を用いて図 8 の従来回路の動作を説明する。図 9 の (a) 図に示すように入力信号として同位相の信号が入力された場合 (3 1 と 3 3 a, 3 2 と 3 4 a が同相)、まず図において入力端子 1, 3 がハイの場合、トランジスタ 1 1 と 1 2 がオン状態となり抵抗 2 1 に電流が流れ出力端子 5 はローレベル、入力端子 6 はハイレベル状態となる。したがって、出力端子 5 から出力端子 6 の電圧を引いた差電圧は波形 3 5 a に示すようにローレベルとなる。この状態から、同時に入力端子 1 と 3 の電位がローレベルに遷移 (同位相で変化) すると、トランジスタ 1 3 と 1 6 がオン状態となり、出力端子 5 はローレベル、出力端子 6 はハイレベル状態が維持されることになる。

【 0 0 0 6 】

これに対して (b) 図に示すように入力端子 1 の電位がローレベルに遷移した後、入力端子 3 の電位がローレベルに遷移する場合は次のようになる。まず、入

力端子 1 の電位がローレベルに遷移するとトランジスタ 1 2 がオン状態となり、出力端子 5 と 6 の状態が反転することになる。さらにその後、入力端子 3 の電位がローレベルに遷移するとトランジスタ 1 3 と 1 6 がオン状態となり、再度出力が反転することになる。2つの入力信号として各々の位相差が90度の場合は、(b) 図のように出力として入力信号の2倍の繰り返し信号が得られることになる。また、任意の位相差に対しては位相差に応じて出力波形のハイ、ローレベルを占める時間の割合が変化することになる。

【0007】

(c) 図は、入力信号として逆位相の信号が入力された場合 (3 1 と 3 3 c, 3 2 と 3 4 c が逆相)、まず図 8 において入力端子 1 がハイ、入力端子 3 がローの場合、トランジスタ 1 4 と 1 6 がオン状態となり抵抗 2 2 に電流が流れ、出力端子 5 はハイレベル、出力端子 6 はローレベル状態となる。この状態から、同時に入力端子 1 と 3 の電位が逆転 (逆位相で変化) するとトランジスタ 1 2 と 1 5 がオン状態となり、出力端子 5 はハイレベル、出力端子 6 はローレベル状態が維持されることになる。

【0008】

以上説明したように従来の位相比較回路では、入力される2つの信号の位相差に応じて異なった出力波形を生じ、出力波形により入力信号の位相差を知ることができる。なお、一般に本位相比較回路の出力に低域ろ波回路を付加すると 3 6 a ~ 3 6 c に示す位相差に応じた直流成分を取り出すことができ、この直流信号を位相差信号として用いることが多い。

【0009】

しかし、図 8 の従来回路では、入力信号としてディジタル符号データを用いた場合に出力波形の直流レベルが位相差以外にデータパターンに応じて大きく変動してしまう問題がある。

【0010】

図 1 0 は図 9 の 1, 0 の繰り返し信号に対しゼロ連続データを加えた 1, 0, 0, 0, の繰り返し信号を入力したときの動作波形の回路シミュレーション結果を示すものである。" ' " 記号のついた各々の波形特性は、図 9 の場合と対応さ

せて記述している。(a)、(b)、(c)の出力波形(35 a' ~ 35 c')から分かるように同符号連続期間中(ゼロの3連続期間中)は、出力レベルが固定されてしまうため36 a' ~ 36 c'の示す直流レベルは、図9の36 a ~ 36 cに対して大きくずれてしまっている。

【0011】

図11は2つの入力信号の位相差と位相比較出力の平均直流レベルの関係を示したものである。この図から分かるように同符号連続数の増大に伴って直流レベルが大きく変動してしまっていることが分かる。同一位相差の入力信号であってもデータパターンによって出力の直流レベルが変化してしまう。

【0012】

図12は、データ同士の位相比較により位相同期回路を構成しているデータ伝送システム用の従来の識別・タイミング信号抽出構成例を示したものである。51は入力データ信号端子、52は出力信号端子、53はタイミング信号(クロック信号)出力端子、54はデータの論理状態(1, 0)を判断する識別回路、55は位相比較回路、56は低域ろ波回路(LPF:ローパスフィルタ)、57は電圧制御発振回路(VCO)である。本回路は入力データから、クロック周波数信号を抽出し、そのクロック信号を用いてデータの論理状態を判別し、その結果を出力するものである。その動作は、まず、識別回路54の入出力データ間の位相差を位相比較回路55で測定し、LPF56によりVCO57の発振周波数の制御電圧に変換し、識別回路54の入出力データ間の位相差が一定になるようVCO57の発振周波数を負帰還により自動制御するものである。これにより、入出力信号データから最適なクロック信号の抽出と入力データに対する識別・再生動作を同時に得ることができる。

【0013】

【発明が解決しようとする課題】

しかし、図8の従来の位相差比較回路を用いると、入力データパターンにより、位相差が同じであっても位相比較回路55の出力が変動してしまうことになる。特に大きな同符号連続を発生する可能性のある方式、システムでは変動量が大きくなり、場合によっては、位相同期状態がはずれてビットエラーを発生してしま

う。

【0014】

このため、図8の従来回路をデジタル符号データ同士の位相比較回路として用いると大きな同符号連続の生じる可能性のあるシステムでは安定な位相比較出力を得られない問題を抱えている。

【0015】

そこで、本発明の目的とすることは、デジタル符号信号同士の位相比較動作を行っても符号パターンにより出力波形の直流レベルが大きく変動してしまうことのないデータ信号位相比較回路を提供することにある。

【0016】

【課題を解決するための手段】

本発明にかかるデータ信号位相比較回路は、2つの入力端子を有し、これらの2つの入力端子の一方に印加された入力信号を遅延させる遅延回路と、この遅延回路により遅延された遅延信号と、前記2つの入力端子の他方に印加された入力信号との位相差を出力する第1の位相比較部と、この第1の位相比較部の出力と前記入力端子の一方に印加された入力信号との位相差を出力する第2の位相比較部とを具備したものである。

【0017】

さらに回路構成として、第1、第2のトランジスタのベース端子を第1の入力信号端子対とし、各々のエミッタ端子は共通に接続され、それぞれのコレクタ端子は第1、第2のインピーダンスを介して高電位電源端子に接続され、第3のトランジスタのベース端子は前記第2のトランジスタのベース端子に接続され、コレクタ端子は前記第1のインピーダンスを介して高電位電源端子に接続され、エミッタ端子は第4のトランジスタのエミッタ端子に接続され、この第4のトランジスタのベース端子は前記第1のトランジスタのベース端子に接続され、コレクタ端子は前記第2のインピーダンスを介して高電位電源端子に接続され、第5、第6のトランジスタのベース端子を第2の入力信号端子対とし、各々のエミッタ端子は第1の定電流源回路を介して低電位電源端子に接続され、第5のトランジスタのコレクタ端子は前記第1のトランジスタのエミッタ端子に接続され、第6

のトランジスタのコレクタ端子は前記第3のエミッタ端子に接続され、第7のトランジスタのベース端子は遅延回路を介して前記第2のトランジスタのベース端子に接続され、コレクタ端子は前記第1のトランジスタのエミッタ端子に接続され、エミッタ端子は第2の定電流源回路を介して低電位電源端子に接続され、第8のトランジスタのベース端子は遅延回路を介して前記第1のトランジスタのベース端子に接続され、エミッタ端子は第2の定電流源回路を介して低電位電源端子に接続され、コレクタ端子は前記第3のトランジスタのエミッタ端子に接続され、第3、第4のトランジスタの各々のコレクタ端子を出力信号端子対としたものである。

【0018】

さらに、第7のトランジスタのエミッタ端子が第2の定電流源回路を介して低電位電源端子に接続され、第8のトランジスタのエミッタ端子が第3の定電流源回路を介して低電位電源端子に接続され、第3のインピーダンス素子が第7、第8のトランジスタ間に接続されているものである。

【0019】

【作用】

本発明においては、第1の位相比較部で発生した入力信号のパタンに依存して出力される位相差成分は、第2の位相比較部での位相比較動作によりキャンセルされ、最終出力として入力信号のデータパタンに依存しない出力が得られる。

【0020】

また、本発明の回路構成では、第1の入力信号端子対間に加えられる入力信号と、第2の入力信号端子対間に加えられる入力信号の位相差が検出され、その結果が出力端子に得られる。

【0021】

【実施例】

図1は本発明の実施例であって、1と3はそれぞれ入力端子を、5は出力端子を、41、42は図8で示したような従来の位相比較回路を用いた第1、第2の位相比較部である。この動作は、入力端子1に入力された入力信号の固定遅延信号と入力端子3に入力された入力信号との位相比較を第1の位相比較部41で行

い、次にその第1の位相比較部41の出力と入力に入力された入力信号との位相比較を第2の位相比較部42で行うことにより、入力信号のデータパターンに依存しない入力端子1、3間の位相差を出力として得るものである。

【0022】

その原理は、入力端子1と3の信号を各々V_{ia}、V_{ib}とし、遅延回路25の出力をV_{ic}とすると、まず、第1の位相比較部41の位相出力 ϕ (V_{o1})は、

【0023】

【数1】

$$\phi (V_{o1}) = \phi (V_{ib}) - \phi (V_{ic}) + \phi (V_s) \quad (1)$$

となる。ここで、 ϕ 関数は、信号の位相成分を示し、 ϕ (V_s)は、図8の従来回路で説明した入力信号データパターンに依存して出力される位相差成分を示している。次に、第2の位相比較部42の出力を ϕ (V_{o2})とすると

【0024】

【数2】

$$\begin{aligned} \phi (V_{o2}) &= \phi (V_{ia}) - \phi (V_{o1}) + \phi (V_s) \\ &= \phi (V_{ia}) - \phi (V_{ib}) + \phi (V_{ic}) - \phi (V_s) + \phi (V_s) \\ &= (\phi (V_{ia}) - \phi (V_{ib})) + \phi (V_{ic}) \end{aligned} \quad (2)$$

となる。ここで、入力信号のデータパターンに依存して出力される位相差成分 ϕ (V_s)は、2回の位相比較動作によりキャンセルされ、位相比較の最終出力として、入力信号のデータパターンに依存しない出力が得られる。なお、固定位相遅延量 ϕ (V_{ic})が、プラスとなるがデータパターンに依存しないため比較出力として問題はない。

【0025】

図2は、より具体的な本発明の実施例であって、1、2は差動用信号の入力端子で第1の入力信号端子対を構成する。3、4も差動用信号の入力端子で第2の入力信号端子対を構成する。5、6は差動出力信号の出力端子、7は高電位電源端子、8は低電位電源端子、11～18は第1～第8のトランジスタ、21、2

2は第1、第2の抵抗、23、24は第1、第2の定電流回路、25は遅延回路、28はレベルシフト回路である。なお、以下では第1、第2、…等は使用しないで説明する。

【0026】

図2に示す回路は、入力端子1、2間に加えられる入力信号と入力端子3、4間に加えられる入力信号の位相差を検出し、その結果を出力端子5、6より得るものである。図2の構成は、前述の図1の構成をより具体的に、より簡略にしたものである。従来の位相比較の機能は、図8の従来回路の他に従来の単純な差動増幅回路でも代用できる。そこで、図1において第1の位相比較部41の機能を差動回路の機能で代用することとして、図2の回路は図1をベースに構成している。

【0027】

この差動動作による位相比較機能は、図2において、トランジスタ15、16よりなる差動回路出力とトランジスタ17、18よりなる差動回路の出力が減算するようにトランジスタ11、12の共通エミッタ端子、およびトランジスタ13、14の共通エミッタ端子に接続することにより実現している。

【0028】

また、図8の従来回路とは、トランジスタ17、18と低電流源回路24およびレベルシフト回路28、遅延回路25が付加されている点が具体的に異なり、本構成はトランジスタ11、12、13、14、15、16で構成される従来と同じの位相比較部Aと、トランジスタ11、12、13、14、17、18で構成される位相比較部42の2つの位相比較部AとBを合成した構成としても捉えることができる。その動作は、図1の動作と同様に説明することができるが、2つの位相比較部41、42の合成動作として図8の従来構成と対比して次のように説明することもできる。

【0029】

まず、位相比較部Aのみの動作を考えるとこの部分は図8の従来構成と同じであるので従来回路と同じ動作を行う。即ち、2組の入力端子に位相差の異なるディジタル符号データが入力されたとすると、その出力としては、従来回路の動作

の部分で既に説明したように 2 組の入力信号の位相差成分と符号連続数に対応したレベル変動成分の和が出力端子 5、6 間に出力されることになる。位相差成分を $\phi(V_p)$ 、符号連続成分を $\phi(V_s)$ とすると、出力 $\phi(V_{oa})$ は、

【0030】

【数 3】

$$\phi(V_{oa}) = \phi(V_p) + \phi(V_s) \quad (3)$$

となる。

【0031】

一方、位相比較部 B の動作は、入力端子 1、2 間の入力信号が一方の入力端子であるトランジスタ 11、14 と 12、13 のベース端子間に接続され、他方の入力端子対であるトランジスタ 17 と 18 には、入力端子 1、2 間の信号がレベルシフト回路 28 と遅延回路 25 を介して入力している。このため、出力としては、遅延回路 25 による位相遅延分と符号連続数に対応したレベル変動成分の和が出力端子 5、6 間に検出されることになる。遅延回路 25 により発生した位相差成分を $\phi(V_d)$ とすると符号連続数に対応したレベル変動成分は、位相比較部 A の場合と同じになるので、その出力 $\phi(V_{ob})$ は、

【0032】

【数 4】

$$\phi(V_{oa}) = \phi(V_p) + \phi(V_s) \quad (4)$$

となる。

【0033】

ここで、位相比較部 B は、逆相で重ね合わせ差し引くように構成しているので、全体の回路の出力 $\phi(V_o)$ は、(3)、(4) 式より、

【0034】

【数 5】

$$\begin{aligned}\phi(V_o) &= \phi(V_{oa}) - \phi(V_{ob}) \\ &= \phi(V_p) - \phi(V_d)\end{aligned}\quad (5)$$

となる。この(5)式から分かるように図2の実施例の出力としては遅延回路25による位相差成分 $\phi(V_d)$ を基準とした2つの入力信号の位相差 $\phi(V_p) - \phi(V_d)$ のみが出力として得られ、符号連続数に対応したレベル変動成分(V_s)はキャンセルされる。

【0035】

図3は、図2の実施例の回路シミュレーション結果であって、(a)～(c)の3つの特性図は各々横軸に時間、縦軸に電圧をとり各部の動作波形を示すものである。図9の従来回路の場合と同様に、まず、(a)の図は、入力信号として同じ位相の2つの信号を入力した時の動作波形を示すもので、31、32は入力端子1、2での電圧波形を示し、33a、34aは、入力端子3、4での電圧波形を示し、37aは出力端子5、6間の差電圧の波形を示し、38aは37a波形の直流レベルを示すものである。(b)の図は、入力信号として90度の位相差を持つ2つの信号を入力した時の動作波形を示すもので、31、32は入力端子1、2での電圧波形を示し、33b、34bは、入力端子3、4での電圧波形を示し、37bは出力端子5、6間の差電圧の波形を示し、38bは37b波形の直流レベルを示すものである。(c)の図は、入力信号として180度の位相差を持つ2つの信号を入力した時の動作波形を示すもので、31、32は入力端子1、2での電圧波形を示し、33c、34cは、入力端子3、4での電圧波形を示し、37cは出力端子5、6間の差電圧の波形を示し、38cは37c波形の直流レベルを示すものである。このシミュレーションに際しては、遅延回路25の入出力端子間の位相差として90度を想定している。従って図3の(a)の特性の37aの出力は、前述したように2組の位相比較部A、Bの合成と考えられることから、従来回路の図9のシミュレーション特性の図9の(a)の35a出力と図9の(b)の35bの出力の差が得られている。第8図(b)の37bの出力特性は、90度の位相差同士の差となるので、一定の直流レベルが出力されていることが分かる。図3の(c)の37cの出力特性は従来回路の図9のシ

ミュレーション特性の図9の(c)の35c出力と図9の(b)の35bの出力の差が得られていることが分かる。このように図2の実施例は、遅延回路25の位相遅延を基準とした位相比較動作をする。

【0036】

さらに図4は図3の1, 0の繰り返し信号に対しゼロ連続データを加えた1, 0, 0, 0の繰り返し信号を入力した時の動作波形の回路シミュレーション結果を示すものである。" ' " 記号のついた各々の波形特性は、図3の場合と対応させて記述している。図4の(a)、(b)、(c)の出力波形(38a' ~ c')から分かるように同符号連続期間中(ゼロの3連続期間中)でも、36a' ~ c')の示す出力の直流レベルは、図3とほぼ同等(同位相時は、符号とは全く関係なく同じ直流レベルを示す)で、既に説明した従来回路のように符号により大きく直流レベルが変動していない。

【0037】

図5は、2つの入力信号の位相差と位相比較出力の平均直流レベルの関係を示したものである。この図から明らかなように基準位相時(図3の場合は90度)には符号とは関係なく一定の直流レベルが出力されることと、基準位相に対して位相がずれた領域でも、図11との比較から分かるように符号による出力レベルの変動は小さい。

【0038】

以上、図2の実施例では、位相比較部41、42の入力信号としてディジタル符号信号を用いても、符号に依存しない安定な位相比較出力を得ることができる。なお、図2の実施例においてレベルシフト回路28は、回路の構成の仕方、例えば、MOSトランジスタを用いて構成した場合等は省略できることもある。また、遅延回路25との接続関係が前後しても動作原理は変わらない。なお本実施例は、図8に示した従来の位相比較回路の組み合わせで図1の構成を実現する場合に比べ、素子数が少なくすみ、回路の小型化、高信頼化、低消費電力化に適している利点を有する。

【0039】

図6は、本発明のさらに他の実施例であって、1、2は差動用信号の入力端子

、3、4も差動用信号の入力端子、5、6は差動出力信号の出力端子、7は高電位電源端子、8は低電位電源端子、11～18は第1～第8のトランジスタ、21、22は第1、第2の抵抗、23、24、26は第1～第3の定電流回路、27は容量、28はレベルシフト回路である。図2の実施例回路とは、遅延回路として90度の遅延をトランジスタ17と18のエミッタ間に容量27を付加し実現している点が異なる。本回路の動作は、図2の実施例と同様に考えられるが、基準遅延信号はトランジスタ17と18のベース端子での入力信号に対し、各々のトランジスタのコレクタの電流対応を容量27により90度遅延させることにより実現している。動作特性としては、図2の実施例と同様の原理により同等の特性を得られる。図6の実施例は、図2の実施例に対し極めて簡単な遅延回路を設けた構成であり、一般的な遅延回路を独立に用いる場合に比べ、回路の小型化、高信頼化、低消費電力化に適している利点を有する。

【0040】

図7は、図12の従来の識別・タイミング抽出回路に対して、図1の本発明の位相比較回路を適用した例を示したものである。本発明の位相比較回路を用いることにより、位相比較出力のレベルがデータパターンに依存せず安定化されるため、データパターンが大きく変動しても位相同期状態を安定に維持し続けることができる。なお、図1の構成の代わりに、図2、6の構成も適用できることは勿論である。

【0041】

なお、本発明の実施例として、バイポーラトランジスタ回路を例に説明を行ったが、他のMOSトランジスタ等の増幅素子、インピーダンス素子を適用しても同様の機能を実現できる。また、図1における位相比較回路は、図8で示した構成のほか、通常多く用いられている排他論理和回路や差動回路等による位相比較回路を適用することも可能である。作動回路、遅延回路についても様々な構成の回路を応用し適用できる。

【0042】

【発明の効果】

本発明は以上述べたように遅延回路を設け、第1、第2の位相比較部で比較す

ることにより、データのパタン依存性をキャンセンするようにしたので、デジタル符号を2つの位相比較入力信号として用いても、符号の状態とは関係なく安定な位相比較出力を得ることができる利点がある。

【図面の簡単な説明】

【図1】

本発明のデータ信号位相比較回路の一実施例を示すブロック図である。

【図2】

本発明のデータ信号位相比較回路の他の実施例を示す回路図である

【図3】

図2の実施例の波形シミュレーション結果例を示す図である。

【図4】

図2の実施例の波形シミュレーション結果例を示す図である。

【図5】

図2の実施例入力信号の位相差と出力信号の直流レベルの関係を示した図である。

【図6】

本発明のさらに他の実施例を示す回路図である。

【図7】

本発明の適用例としての識別・タイミング抽出回路を示す図である。

【図8】

従来の位相比較回路の一例を示す図である。

【図9】

図8の従来回路の波形シミュレーション結果例を示す図である。

【図10】

図8の従来回路の波形シミュレーション結果例を示す図である。

【図11】

図8の従来回路の入力信号の位相差と出力信号の直流レベルの関係を示した図である。

【図12】

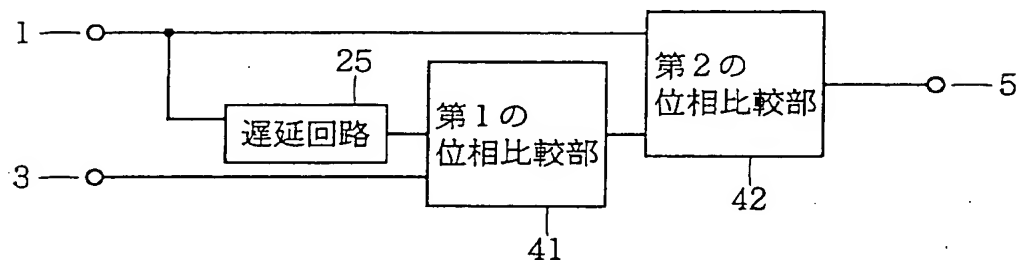
従来の位相比較回路の適用例としての識別・タイミング信号抽出回路である。

【符号の説明】

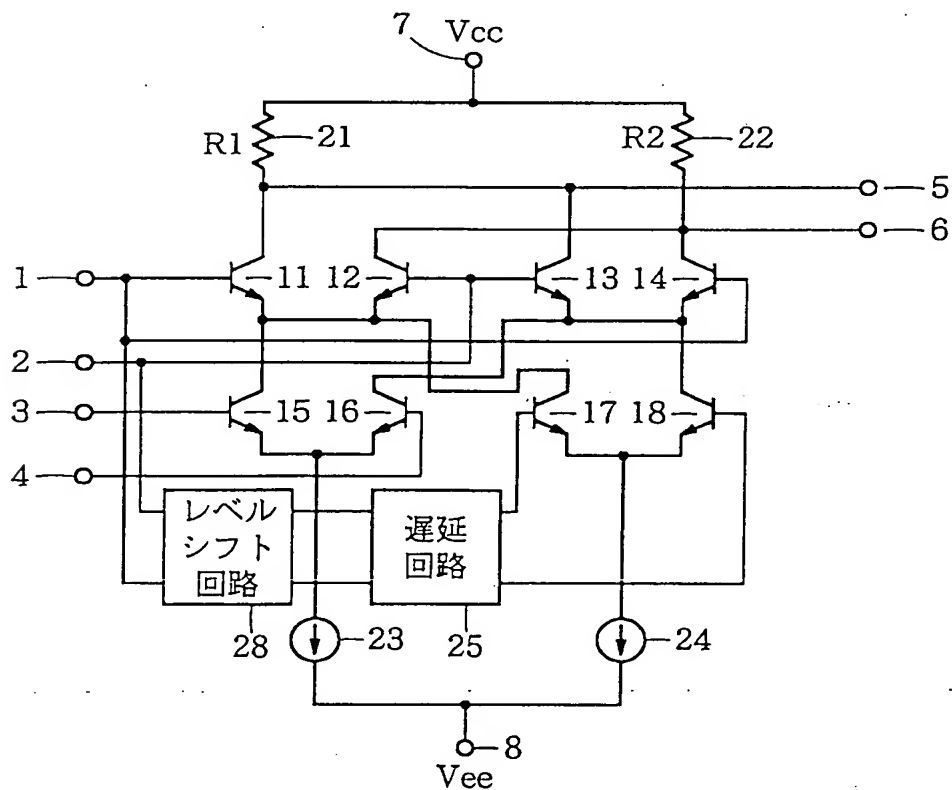
- 1 入力端子
- 2 入力端子
- 3 入力端子
- 4 入力端子
- 5 出力端子
- 6 出力端子
- 7 高電位電源端子
- 8 低電位電源端子
- 1 1 トランジスタ
- 1 2 トランジスタ
- 1 3 トランジスタ
- 1 4 トランジスタ
- 1 5 トランジスタ
- 1 6 トランジスタ
- 1 7 トランジスタ
- 1 8 トランジスタ
- 2 1 抵抗
- 2 2 抵抗
- 2 3 定電流回路
- 2 4 定電流回路
- 2 5 遅延回路
- 2 6 定電流回路
- 2 7 容量
- 2 8 レベルシフト回路
- 4 1 第 1 の位相比較部
- 4 2 第 2 の位相比較部

【書類名】 図面

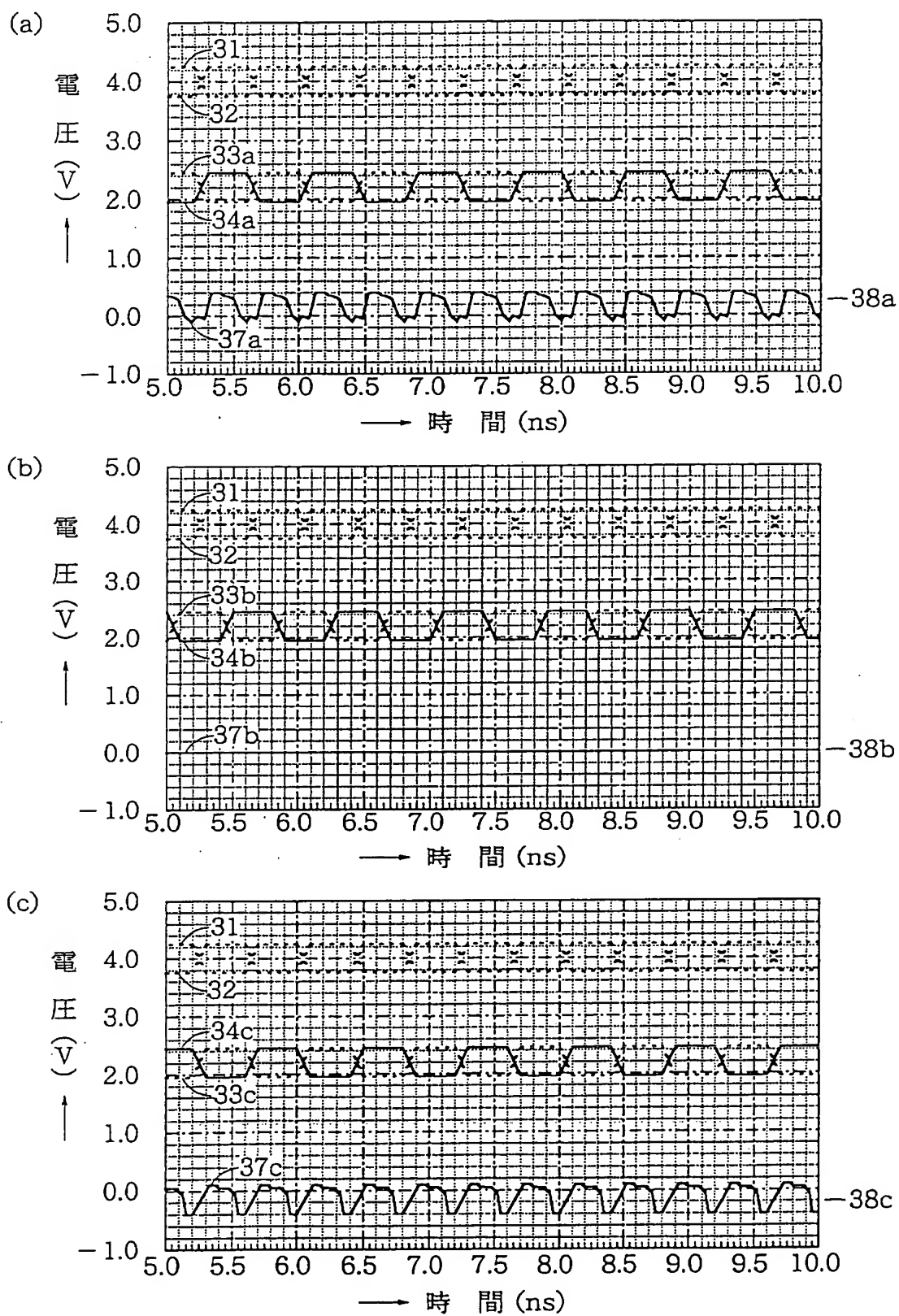
【図 1】



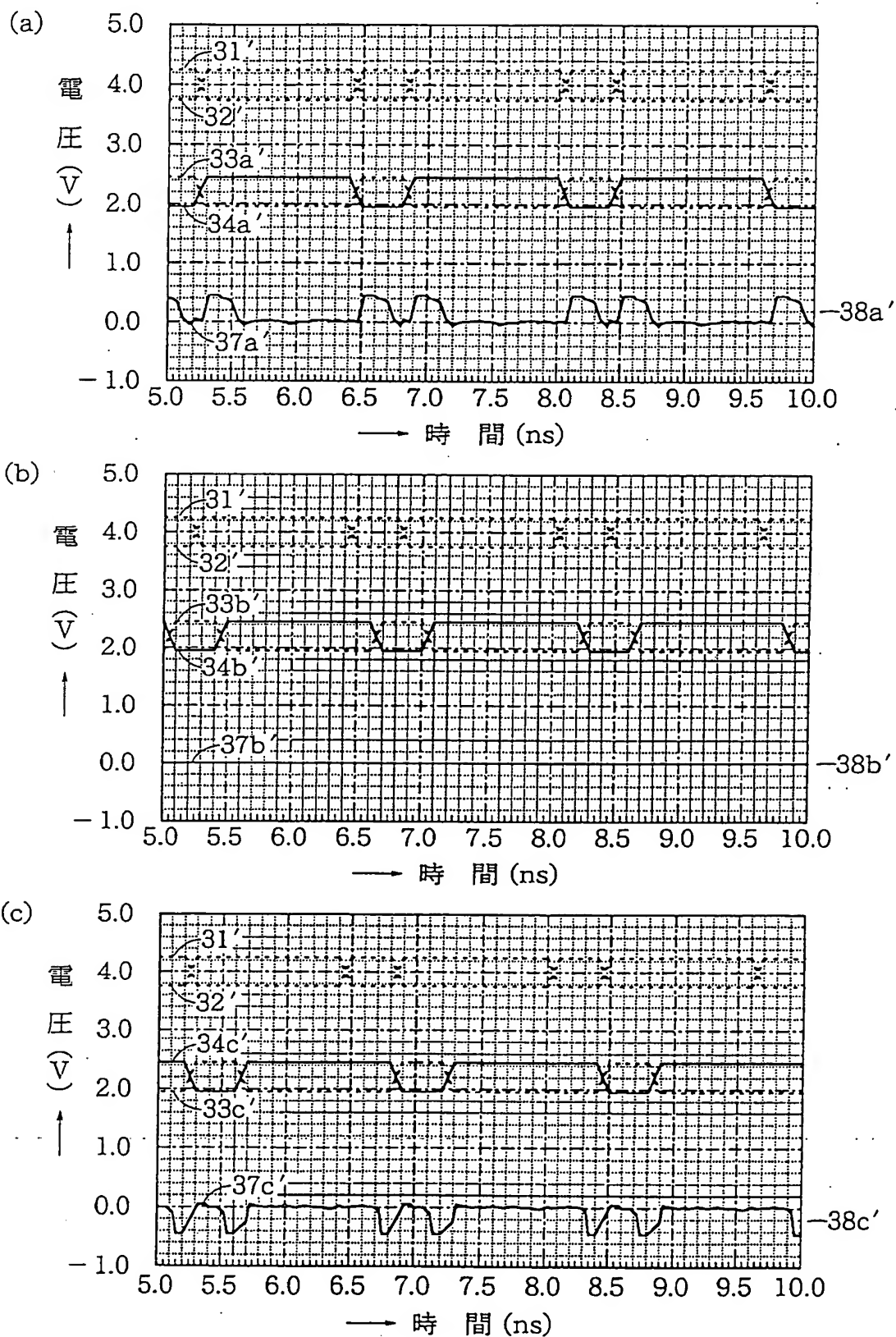
【図 2】



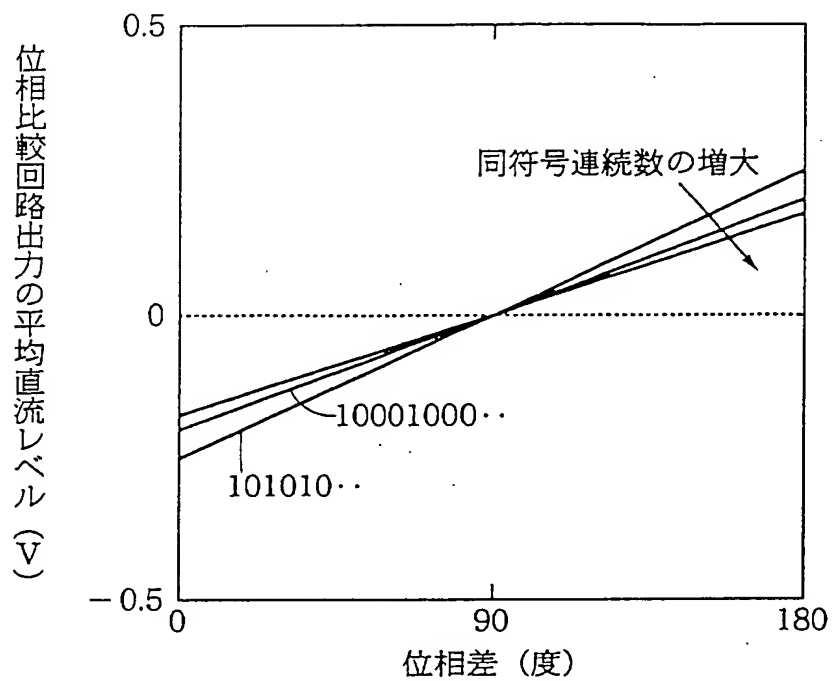
【図 3】



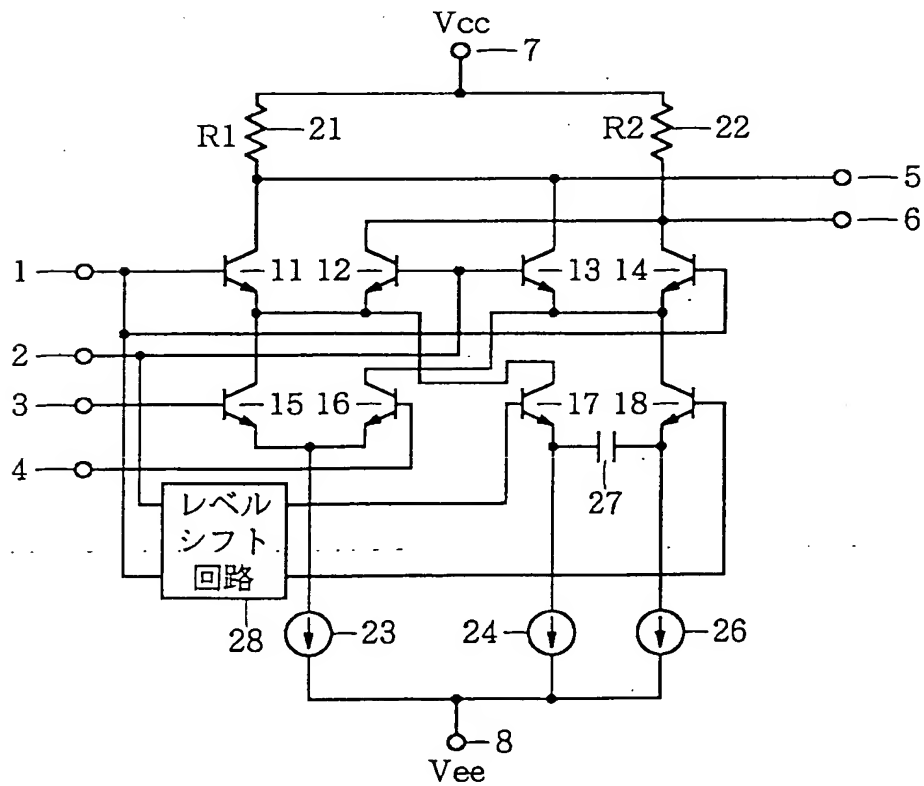
【図 4】



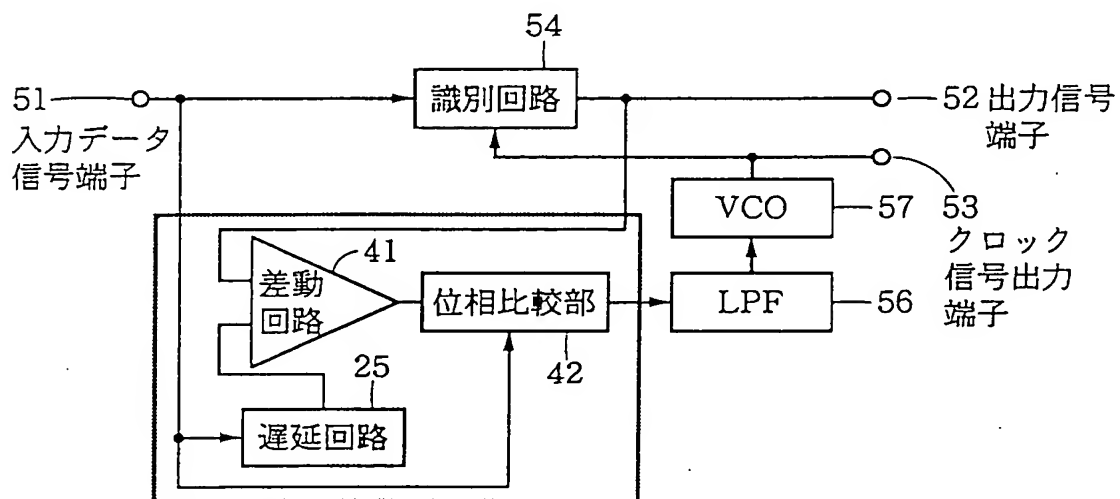
【図 5】



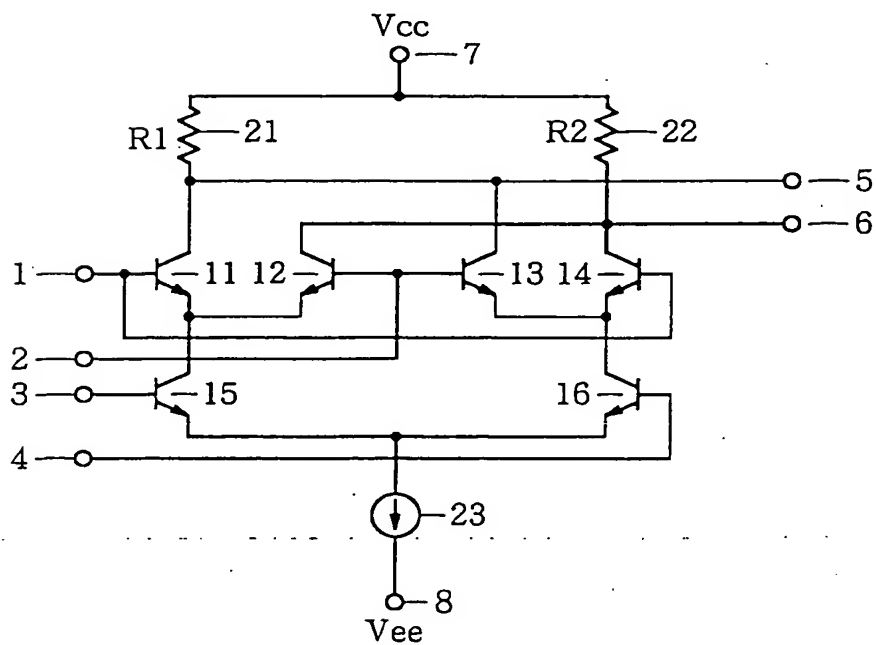
【図 6】



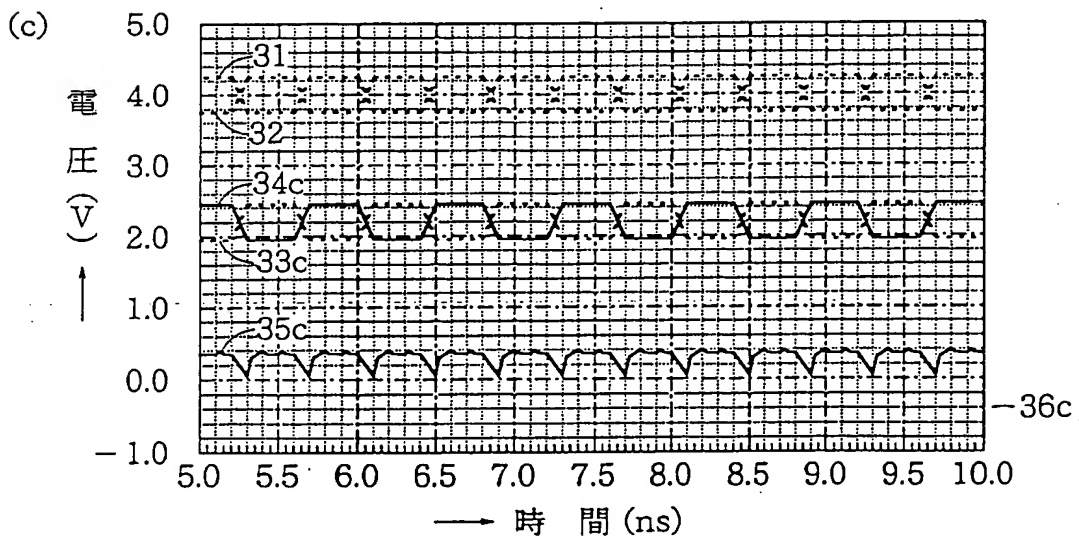
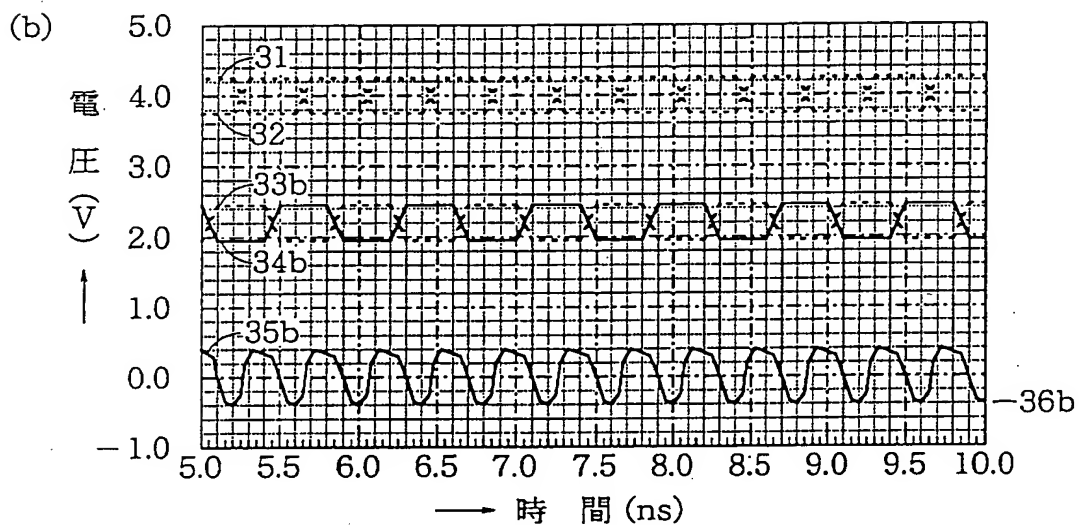
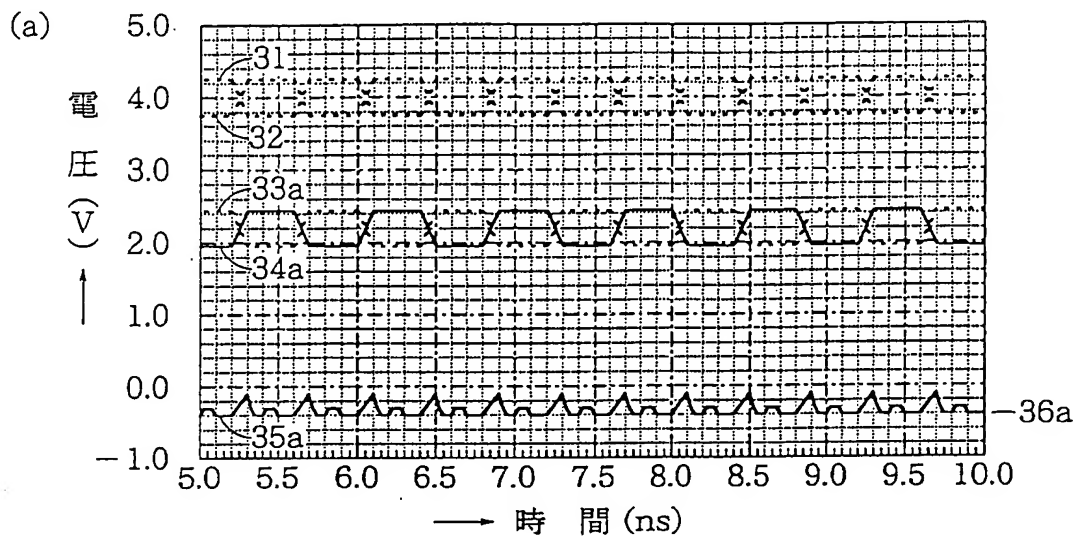
【図 7】



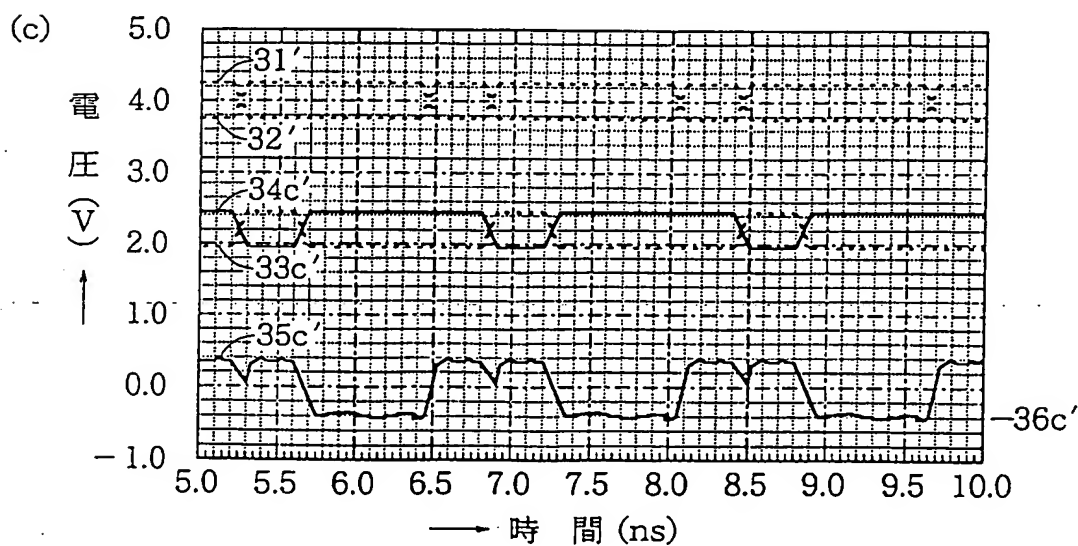
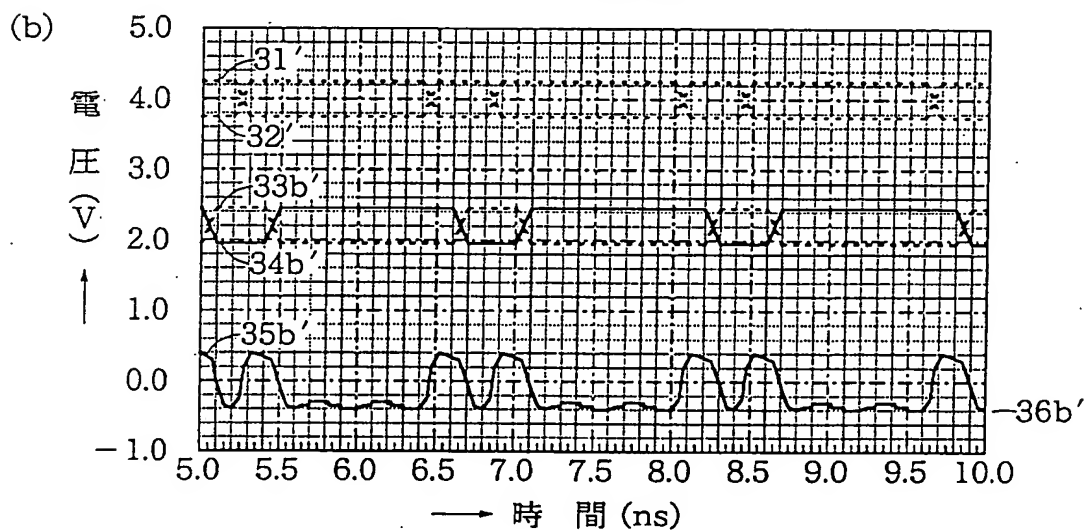
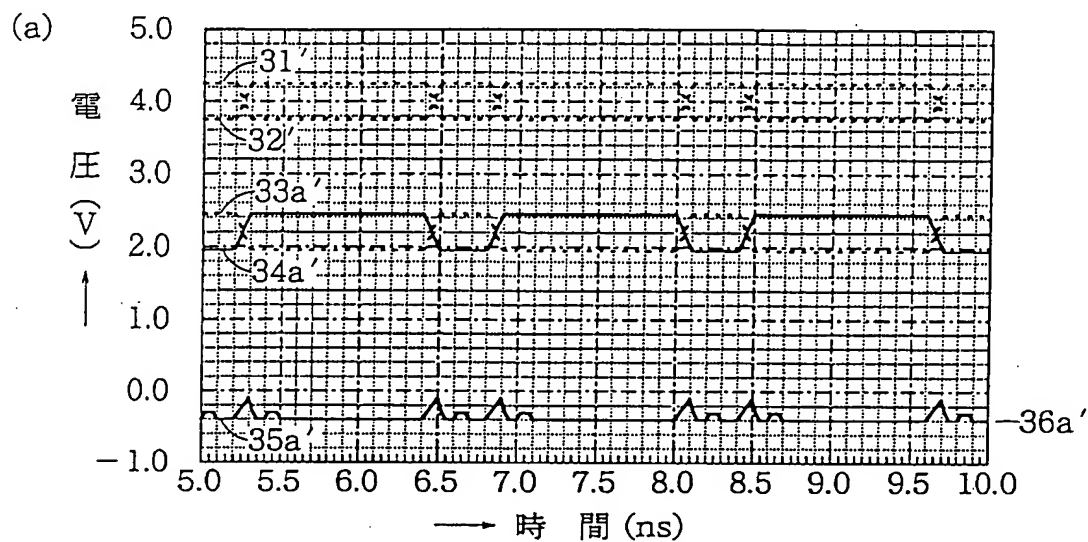
【図 8】



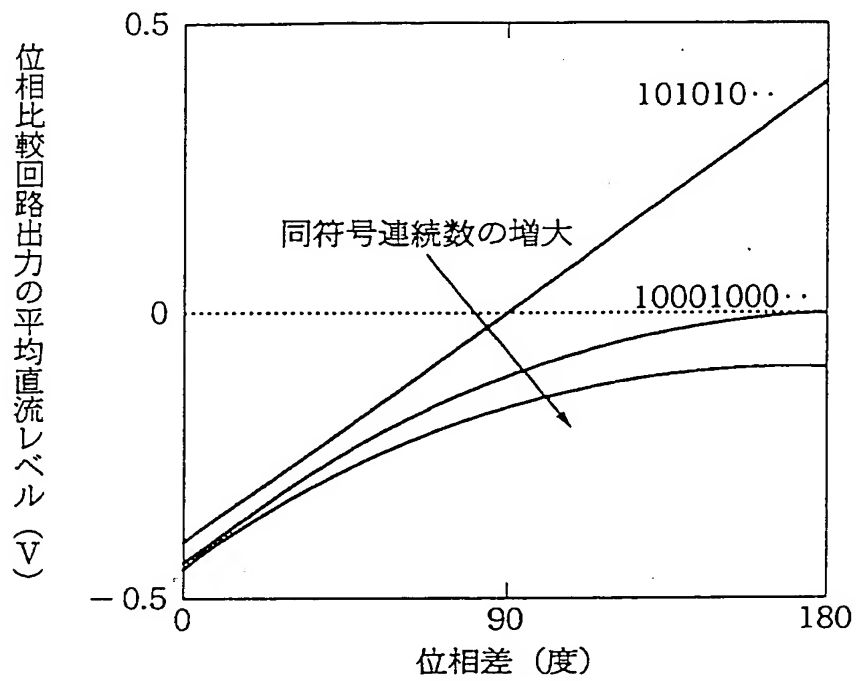
【図 9】



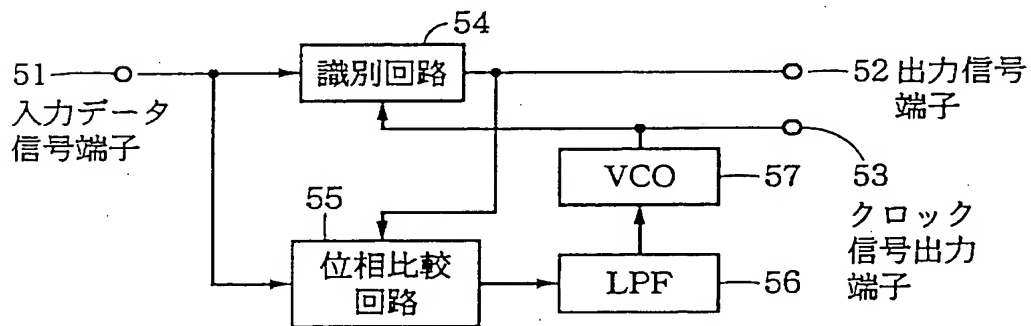
【図 1 0】



【図 1 1】



【図 1 2】



【書類名】 要約書

【目的】 デジタル符号信号同士の位相比較動作を行っても符号パタンにより出力波形の直流レベルが大きく変動しないようにする。

【構成】 入力端子 1 に印加された入力信号を遅延回路で遅延させ、この遅延回路 2 5 により遅延された遅延信号と入力端子 3 に印加された入力信号との位相差を第 1 の位相比較部 4 1 で比較し、その出力と入力端子 1 に印加される入力信号との位相差を第 2 の位相比較部 4 2 で比較することにより、第 1 の位相比較部 4 1 で発生した入力信号パタンに依存した位相差成分は第 2 の位相比較部 4 2 でキャンセルされることを特徴としている。

【選択図】 図 1

English Translation of Japanese
NO. 5-56410

Patent Application

[Document Name]

Specification

[Title of the Invention]

DATA SIGNAL PHASE COMPARATIVE CIRCUIT

[Claims]

1. A data signal phase comparative circuit comprising:

a delay circuit having two input terminals which delay an input signal applied to one of these two input terminals;

a first phase comparative part which outputs a phase difference between a delay signal delayed by this delay circuit and an input signal applied to the other one of the two input terminals; and

a second phase comparative part which outputs a phase difference between an output of this first phase comparative part and an input signal applied to one of the two input terminals.

2. A data signal phase comparative circuit, wherein base terminals of first and second transistors are made into a first pair of input signal terminals;

respective emitter terminals thereof are connected in common;

each of collector terminals thereof is connected to a high electric potential power supply terminal through first and

second impedance;

a base terminal of a third transistor is connected to a base terminal of the second transistor;

a collector terminal thereof is connected to the high electric potential power supply terminal through the first impedance;

an emitter terminal thereof is connected to an emitter terminal of a fourth transistor;

a base terminal of this fourth transistor is connected to the base terminal of the first transistor;

a collector terminal thereof is connected to the high electric potential power supply terminal through the second impedance;

base terminals of fifth and sixth transistors are made into a second pair of input signal terminals;

each of emitter terminals thereof is connected to a low electric potential power supply terminal through a first constant current circuit;

a collector terminal of the fifth transistor is connected to the emitter terminal of the first transistor;

a collector terminal of the sixth transistor is connected to the emitter terminal of the third transistor;

a base terminal of a seventh transistor is connected to the base terminal of the second transistor through a delay circuit;

a collector terminal thereof is connected to the emitter terminal of the first transistor;

an emitter terminal thereof is connected to the low electric potential power supply terminal through a second constant current circuit;

a base terminal of an eighth transistor is connected to the base terminal of the first transistor through the delay circuit;

an emitter terminal thereof is connected to the low electric potential power supply terminal through the second constant current circuit;

a collector terminal thereof is connected to the emitter terminal of the third transistor; and

respective collector terminals of the third and fourth transistors are made into a pair of output signal terminals.

3. A data signal phase comparative circuit according to claim 2,

wherein the emitter terminal of the seventh transistor is connected to the low electric potential power supply terminal through the second constant current circuit;

the emitter terminal of the eighth transistor is connected to the low electric potential power supply terminal through the third constant current circuit; and

a third impedance element is connected between the seventh and eighth transistors.

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[TECHNICAL FIELD TO WHICH THE INVENTION PERTAINS]

The present invention provides a data signal phase

comparative circuit capable of obtaining a stable phase difference output without heavily depending on a code pattern of the data even in the case that not only a conventional repeat signal such as a sine wave or the like is used as a phase comparative circuit but also a digital code that does not take a repeat pattern is used as an input signal.

[0002]

[PRIOR ART]

A phase comparative circuit detects a phase difference between two signals and outputs its result. The phase comparative circuit has been widely used as a control circuit for synchronizing the phases. Particularly, in a data transmission system, the phase comparative circuit is used as a phase synchronization circuit for identifying the data and extracting a timing signal (a clock signal), so that the operation with a high degree of accuracy is required. Alternatively, a constitution has been desired such that a phase comparison is performed not only with respect to a repeat signal but also the phase comparative output with a high degree of accuracy can be obtained with respect to the random data signals having different mark rates.

[0003]

FIG. 8 shows a conventional phase comparative circuit, which has been generally used in a wide range. In FIG. 8, reference numerals 1 and 2 denote input terminals for a signal for a differential mode, reference numerals 3 and 4 also denote input terminals of a signal for a differential mode, reference

numerals 5 and 6 denote output terminals of a differential output signal, a reference numeral 7 denotes a high electric potential power supply terminal, a reference numeral 8 denotes a low electric potential power supply terminal, reference numerals 11 to 16 denote transistors, reference numerals 21 and 22 denote resistances and a reference numeral 23 denotes a constant current circuit. The present circuit detects a phase difference between a signal applied between the input terminals 1 and 2 and a signal applied between the input terminals 3 and 4 and obtains its result from the output terminals 5 and 6. Alternatively, reference numerals R1 and R2 denote resistances and reference numerals Vcc and Vee denote power supply voltages.

[0004]

FIG. 9 shows a circuit simulation result for explaining the operation of a conventional circuit of FIG. 8. Three characteristic diagrams of FIG. 9 (a) to FIG. 9 (c) show the operational wave forms of respective parts. In FIG. 9 (a) to FIG. 9 (c), a lateral axis represent time (ns) and a longitudinal axis represents a voltage (v), respectively. At first, FIG. 9 (a) shows the operational wave forms when two signals having the same phases are inputted as an input signal. In FIG. 9 (a), reference numerals 31 and 32 represent voltage wave forms at the input terminals 1 and 2 in FIG. 8, reference numerals 33a and 34a represent voltage wave forms at the input terminals 3 and 4 in FIG. 8, a reference numeral 35a denotes a wave form of a difference voltage between the output terminals 5 and 6 and a reference numeral 36a denotes a direct current level of

the wave form 35a. FIG. 9 (b) shows the operational wave forms when two signals having the phase difference of 90 degrees are inputted as an input signal. In FIG. 9 (b), reference numerals 31 and 32 represent voltage wave forms at the input terminals 1 and 2 in FIG. 8, reference numerals 33b and 34b represent voltage wave forms at the input terminals 3 and 4 in FIG. 8, a reference numeral 35b denotes a wave form of a difference voltage between the output terminals 5 and 6 and a reference numeral 36b denotes a direct current level of the wave form 35b. FIG. 9 (c) shows the operational wave forms when two signals having the phase difference of 180 degrees are inputted as an input signal. In FIG. 9 (c), reference numerals 31 and 32 represent voltage wave forms at the input terminals 1 and 2 in FIG. 8, reference numerals 33c and 34c represent voltage wave forms at the input terminals 3 and 4 in FIG. 8, a reference numeral 35c denotes a wave form of a difference voltage between the output terminals 5 and 6 and a reference numeral 36c denotes a direct current level of the wave form 35c.

[0005]

With reference to FIG. 9, the operation of the conventional circuit will be explained below. As shown in FIG. 9(a), in the case that a signal of the same phase is inputted as an input signal (namely, 31 and 33a are the same phases and 32 and 34a are the same phases), at first, if the input terminals 1 and 3 are in a high level condition in the drawing, the transistors 11 and 12 are turned on and the current flows to the resistance 21. As a result, the output terminal 5 is in a

low level condition and the input terminal 6 in a high level condition. Accordingly, the differential voltage obtained by subtracting the voltage of the output terminal 6 from the voltage of the output terminal 5 is in a low level as shown in the wave form 35a. If the electric potential of the input terminals 1 and 3 changes to a low level (i.e., changes at the same phase), the transistors 13 and 16 are turned on, so that the output terminal 5 is maintained to be in a low level and the output terminal 6 is maintained to be in a high level, respectively.

[0006]

On the contrary, as shown in FIG. 9(b), a case that the electric potential of the input terminal 3 changes to the low level after the electric potential of the input terminal 1 changes to the low level is as follows. At first, if the electric potential of the input terminal 1 changes to the low level, the transistor 12 is turned on, so that the conditions of the output terminals 5 and 6 are reversed. After that, if the electric potential of the input terminal 3 changes to the low level, the transistors 13 and 16 turned on, so that the outputs are reversed again. In the case that the phase difference between two input signals is 90 degrees, as shown in FIG. 9(b), it is possible to obtain the repeat signals twice as many as the input signals. Alternatively, with respect to an arbitrary difference, a ratio of time occupying a high level and a low level of an output wave form is changed in response to the phase difference.

[0007]

In FIG. 9 (c), in the case that a signal having a reverse phase is inputted as an input signal (31 and 33c have reversed phases and 32 and 34c have reversed phases, respectively), when the input terminal is in a high level condition and the input terminal 3 is in a low level condition in FIG. 8, the transistors 14 and 16 are turned on, so that the current flows into the resistance 22, the output terminal 5 is in a high level condition and the output terminal 6 is in a low level condition. If the electric potential of the input terminals 1 and 3 are simultaneously reversed (i.e., change at the reversed phase) from this condition, the transistors 12 and 15 are turned on, so that the output terminal 5 is maintained to be in a high level condition and the output terminal 6 is maintained to be in a low level condition.

[0008]

As described above, a conventional phase comparative circuit generates different output wave forms in response to the phase difference between two signals to be inputted, so that it is possible to know the phase difference between the input signals from the output wave form. Alternatively, if a low pass filter is added to the output of the present phase comparative circuit, it is generally possible to extract a direct current component in response to the phase differences as shown in 36a to 36c. Therefore, it is often the case that this direct current signal is used as a phase difference signal.

[0009]

However, according to the conventional circuit in FIG. 8, there is a problem such that, in the case that a digital code data signal is used as an input signal, a direct current level of an output wave form is extremely changed in response to a data pattern in addition to the phase difference.

[0010]

FIG. 10 shows a circuit simulation result of the operational wave forms when a repeat signal of 1, 0, 0, 0, in which the zero continuous data is added to the repeat signal of 1, 0 shown in FIG. 9, is inputted. Respective wave form properties provided with marks of " ' " are described in association with the case of FIG. 9. As shown from the output wave forms in FIG. 10 (a), FIG. 10 (b) and FIG. 10 (c) (namely, 35a' to 35c'), during a period that the same codes are continuing (namely, during a period that zero is continuing three times), the output level is fixed, so that the direct current levels represented by 36a' to 36c' are largely displaced from those represented by 36a to 36c in FIG. 9.

[0011]

FIG. 11 shows a relation between the phase difference and the average direct current level of a phase comparative output of two input signals. As shown from this drawing, it is found that the direct current level extremely changes in accordance with increasing of the number that the same codes are continuing. Even if the input signals have the same phase difference, the direct current levels of the output of them vary depending on a data pattern.

[0012]

FIG. 12 shows a conventional identification/timing signal extraction constitutional embodiment for a data transmission system, which constitutes a phase synchronization circuit by comparing the data with each other. In FIG. 12, a reference numeral 51 denotes an input data signal terminal, a reference numeral 52 denotes an output signal terminal, a reference numeral 53 denotes a timing signal (clock signal) output terminal, a reference numeral 54 denotes an identification circuit for deciding a logical condition (1, 0) of the data, a reference numeral 55 denotes a phase comparative circuit, a reference numeral 56 denotes a low pass filter (LPF: low pass filter) and a reference numeral 57 denotes a voltage control oscillation circuit (VCO). The present circuit extracts a clock frequency signal, determines the logical condition of the data by the use of this clock signal and outputs its result. This operation will be described below. At first, the phase comparative circuit 55 measures the phase difference between the input/output data of the identification circuit 54 and the LPF 56 converts the oscillation frequency of the VCO 57 into a control voltage and then, the present circuit automatically controls the oscillation frequency of the VCO 57 by negative feedback so that the phase difference between the input/output data of the identification circuit 54 becomes constant. Hereby, it becomes possible to extract the optimum clock signal and obtain the identification and reproduction operation with respect to the input data from the input/output

signal data simultaneously.

[0013]

[TASK TO BE SOLVED BY THE INVENTION]

However, if a conventional phase difference comparative circuit shown in FIG. 8 is used, the outputs of the phase comparative circuit 55 vary depending on the input data pattern even if the phase differences are the same. Particularly, in a system having a probability of generating the large same code continuation, the variable amount becomes large. According to the circumstance, the phase synchronization condition is displaced, so that a bit error is generated.

[0014]

Therefore, the conventional phase difference comparative circuit involves a problem such that, if the conventional circuit of FIG. 8 is used as a phase comparative circuit for comparing the phase between the digital code data each other, it is not possible to obtain the stable phase comparative output in a system having a probability of generating the large same code continuation.

[0015]

Therefore, an object of the present invention is to provide a data signal phase comparative circuit, in which a direct current level of an output wave form does not largely vary depending on a code pattern even if the phase comparative operation is carried out between the digital code signals each other.

[0016]

[SOLUTION FOR THE TASK]

A data signal phase comparative circuit according to the present invention comprises a data signal phase comparative circuit comprising: a delay circuit having two input terminals which delay an input signal applied to one of these two input terminals; a first phase comparative part which outputs a phase difference between a delay signal delayed by this delay circuit, and an input signal applied to other one of the two input terminals; and a second phase comparative part which outputs a phase difference between an output of this first phase comparative part and an input signal applied to one of the two input terminals.

[0017]

Further, according to a constitution of a circuit, base terminals of first and second transistors are made into a first pair of input signal terminals; respective emitter terminals thereof are connected in common; each of collector terminals thereof is connected to a high electric potential power supply terminal through first and second impedance; a base terminal of a third transistor is connected to a base terminal of the second transistor; a collector terminal thereof is connected to the high electric potential power supply terminal through the first impedance; an emitter terminal thereof is connected to an emitter terminal of a fourth transistor; a base terminal of this forth transistor is connected to the base terminal of the first transistor; a collector terminal thereof is connected to the high electric potential power supply terminal through

the second impedance; base terminals of fifth and sixth transistors are made into a second pair of input signal terminals; each of emitter terminals thereof is connected to a low electric potential power supply terminal through a first constant current circuit; a collector terminal of the fifth transistor is connected to the emitter terminal of the first transistor; a collector terminal of the sixth transistor is connected to the emitter terminal of the third transistor; a base terminal of a seventh transistor is connected to the base terminal of the second transistor through a delay circuit; a collector terminal thereof is connected to the emitter terminal of the first transistor; an emitter terminal thereof is connected to the low electric potential power supply terminal through a second constant current circuit; a base terminal of an eighth transistor is connected to the base terminal of the first transistor through the delay circuit; an emitter thereof terminal is connected to the low electric potential power supply terminal through the second constant current circuit; a collector terminal thereof is connected to the emitter terminal of the third transistor; and respective collector terminals of the third and fourth transistors are made into a pair of output signal terminals.

[0018]

Further, the emitter terminal of the seventh transistor is connected to the low electric potential power supply terminal through the second constant current circuit; the emitter terminal of the eighth transistor is connected to the low

electric potential power supply terminal through the third constant current circuit; and a third impedance element is connected between the seventh and eighth transistors.

[0019]

[OPERATION]

According to the present invention, the phase difference component to be outputted depending on a pattern of an input signal, which is generated in a first phase comparative part, is cancelled by the phase comparative operation at a second phase comparative part, so that it is possible to obtain an output which does not depend on a data pattern of the input signal as a final output.

[0020]

Alternatively, according to a circuit constitution of the present invention, the phase difference between an input signal to be applied between the first input signal terminal pair and an input signal to be applied between the second input signal terminal pair is detected and its result is obtained at the output terminal.

[0021]

[MODE FOR CARRYING OUT THE INVENTION]

FIG. 1 shows an embodiment according to the present invention. In FIG. 1, reference numerals 1 and 3 denote input terminals, respectively, a reference numeral 5 denotes an output terminal and reference numerals 41 and 42 denote first and second phase comparative parts by the use of a conventional phase comparative circuit as shown in FIG. 8. According to the

operation of this data signal phase comparative circuit, a first phase comparative part 41 compares the phase of a fixed delay signal of the input signal, which is inputted in the input terminal 1, with the phase of the input signal, which is inputted in the input terminal 3, and then, a second phase comparative part 42 compares the phase of the output of this first phase comparative part 41 with the phase of the input signal, which is inputted in the input terminal 1, so that the phase difference between the input terminals 1 and 3 not depending on a data pattern of the input signal as an output.

[0022]

According to its principle, defining that the signals of the input terminals 1 and 3 are V_{ia} and V_{ib} , respectively and the output of a delay circuit 25, at first, a phase output ϕ (V_{o1}) of the first phase comparative part 41 is represented as follows.

[0023]

[A mathematical expression 1]

$$\phi(V_{o1}) = \phi(V_{ib}) - \phi(V_{ic}) + \phi(V_s) \dots (1)$$

In this case, a function of ϕ represents a phase component of a signal, a function of $\phi(V_s)$ represents a phase component to be outputted depending on an input signal data pattern, which was explained with reference to a conventional circuit in FIG. 8. Then, if an output of the second phase comparative part 42 is defined as $\phi(V_{o2})$, $\phi(V_{o2})$ is represented as follows.

[0024]

[A mathematical expression 2]

$$\begin{aligned}
\phi (Vo2) &= \phi (Via) - \phi (Vol) + \phi (Vs) \\
&= \phi (Via) - \phi (Vib) + \phi (Vic) - \phi (Vs) + \phi (Vs) \\
&= (\phi (Via) - \phi (Vib)) + \phi (Vic) \dots (2)
\end{aligned}$$

In this case, a phase difference component $\phi (Vs)$ to be outputted depending on a data pattern of an input signal is cancelled by the second phase comparative operation, so that an output not depending on a data pattern of an input signal is obtained as a final output in the phase comparison. Alternatively, although a fixed phase delay amount $\phi (Vic)$ is positive, there is no problem since this fixed phase delay amount $\phi (Vic)$ does not depend on a data pattern.

[0025]

FIG. 2 is a more specific embodiment according to the present invention. In FIG. 2, reference numeral 1 and 2 denote input terminals of a signal for a differential mode and the input terminals 1 and 2 constitute a first input signal terminal pair. Reference numerals 3 and 4 also denote input terminals of a signal for a differential mode and the input terminals 3 and 4 constitute a second input signal terminal pair. Reference numerals 5 and 6 denote output terminals of a signal for a differential mode, a reference numeral 7 denotes a high electric potential power supply terminal, a reference numeral 8 denotes a low electric potential power supply terminal, reference numerals 11 to 18 denote first to eighth transistors, reference numerals 21 and 22 denote first and second resistances, reference numerals 23 and 24 denote first and second constant current circuits, a reference numeral 25 denotes a delay circuit

and a reference numeral 28 denotes a level shift circuit. In the following explanation, a first, a second ... or the like are not attached.

[0026]

A circuit shown in FIG. 2 detects the phase difference between the input signal of an input signal to be applied between the input terminals 1 and 2 and the input signal to be applied between the input terminals 3 and 4 and obtains its result from the output terminals 5 and 6. A constitution shown in FIG. 2 illustrates a constitution shown in FIG. 1, which was described above, more specifically and more simply. A conventional function for the phase comparison can be substituted for a conventional simple differential amplification circuit in addition to the conventional circuit. Therefore, in FIG. 1, substituting the function of the first phase comparative part 41 for the function of the differential circuit, the circuit of FIG. 2 is constituted on the basis of the constitution shown in FIG. 1.

[0027]

In FIG. 2, the phase comparison function due to this differential operation is realized in such a manner that the output of the differential circuit constituted by the transistors 15 and 16 and the output of the differential circuit constituted by the transistors 17 and 18 are connected to a common emitter terminal of the transistors 11 and 12 and a common emitter terminal of the transistors 13 and 14 so that the output of the differential circuit constituted by the transistors 15

and 16 and the output of the differential circuit constituted by the transistors 17 and 18 are subtracted from each other.

[0028]

The present circuit is specifically different from the conventional circuit shown in FIG. 8 in that the transistors 17 and 18, the constant current circuit 24, the level shift circuit 28 and the delay circuit 25 are added. Alternatively, the present circuit can be considered as a constitution of combining two phase comparative parts A and B, namely, a phase comparative part A as same as the conventional phase comparative part, which is constituted of the transistors 11, 12, 13, 14, 15, 16, and a phase comparative part B of the phase comparative part 42, which is constituted of the transistors 11, 12, 13, 14, 17, 18. Although the operation thereof can be explained in the same way as the operation shown in FIG. 1, it will be explained as follows in contrast to the conventional constitution shown in FIG. 8 as the combining operation of two phase comparative parts 41 and 42.

[0029]

At first, only considering the operation of the phase comparative part A, this operation is the same as that in the conventional constitution in FIG. 8, so that the phase comparative part A performs the same operation as that of the conventional circuit. In other words, if the digital code data having different phase differences are inputted in two input terminals, the sum of the phase difference component of two input signals and the level variation component in association

with the number of the code continuation is outputted between the output terminals 5 and 6 as their outputs as already explained in the operation of the conventional circuit. When the phase difference component is defined as $\phi(V_p)$ and the number of the code continuation is $\phi(V_s)$, an output $\phi(V_{oa})$ is represented as follows.

[0030]

[A mathematical expression 3]

$$\phi(V_{oa}) = \phi(V_p) + \phi(V_s) \dots (3)$$

[0031]

On the other hand, according to the operation of the phase comparative part B, the input signals between the input terminals 1 and 2 are connected between base terminals of the transistors 11, 14 and the transistors 12, 13 as one input terminal. Further, a signal between the input terminals 1 and 2 is inputted in the transistors 17 and 18, which is other input terminal pair, through the level shift circuit 28 and the delay circuit 25. Therefore, as the output, the sum of the phase delay component by the delay circuit 25 and the level variation component in association with the number of the code continuation is outputted between the output terminals 5 and 6. When a phase difference component, which is generated by the delay circuit 25, is defined as $\phi(V_d)$, the level variation component in association with the number of the code continuation is the same as that of the phase comparative part A. Therefore, its output $\phi(V_{ob})$ is represented as follows.

[0032]

[A mathematical expression 4]

$$\phi (Voa) = \phi (Vp) + \phi (Vs) \dots (4)$$

[0033]

In this case, the comparative part B is constituted so that the wave forms of the input signals are superimposed at a reversed phase to be subtracted with each other. Therefore, the entire output $\phi (Vo)$ of the circuit is represented as follows by the mathematical expressions (3) and (4).

[0034]

[A mathematical expression 5]

$$\begin{aligned} \phi (Vo) &= \phi (Voa) - \phi (Vob) \\ &= \phi (Vp) - \phi (Vd) \dots (5) \end{aligned}$$

As shown from the mathematical expression (5), as the output in the embodiment shown in FIG. 2, the phase difference $\phi (Vp) - \phi (Vd)$ is only obtained as an output on the basis of the phase difference component $\phi (Vd)$ due to the delay circuit 25 and the level variation component (Vs) in association with the number of the code continuation is cancelled.

[0035]

FIG. 3 shows a circuit simulation result of the embodiment shown in FIG. 2. In FIG. 3, three characteristic diagrams FIG. 3 (a) to FIG. 3 (c) show the operation wave forms of respective parts. In FIG. 3 (a) to FIG. 3 (c), a lateral axis represent time and a longitudinal axis represents a voltage, respectively. As same as the conventional circuit shown in FIG. 9, at first, FIG. 3 (a) shows the operational wave forms when two signals having the same phases are inputted as an input signal. In FIG.

3 (a), reference numerals 31 and 32 represent voltage wave forms at the input terminals 1 and 2, reference numerals 33a and 34a represent voltage wave forms at the input terminals 3 and 4, a reference numeral 37a denotes a wave form of a difference voltage between the output terminals 5 and 6 and a reference numeral 38a denotes a direct current level of the wave form 37a. FIG. 9 (b) shows the operational wave forms when two signals having the phase difference of 90 degrees are inputted as an input signal. In FIG. 9 (b), reference numerals 31 and 32 represent voltage wave forms at the input terminals 1 and 2, reference numerals 33b and 34b represent voltage wave forms at the input terminals 3 and 4, a reference numeral 37b denotes a wave form of a difference voltage between the output terminals 5 and 6 and a reference numeral 38b denotes a direct current level of the wave form 37b. FIG. 9 (c) shows the operational wave forms when two signals having the phase difference of 180 degrees are inputted as an input signal. In FIG. 9 (c), reference numerals 31 and 32 represent voltage wave forms at the input terminals 1 and 2, reference numerals 33c and 34c represent voltage wave forms at the input terminals 3 and 4, a reference numeral 37c denotes a wave form of a difference voltage between the output terminals 5 and 6 and a reference numeral 38c denotes a direct current level of the wave form 37c. In this simulation, as the phase difference between the input/output terminals of the delay circuit 25, 90 degrees are assumed. Accordingly, as described above, it is perceived that the output of the wave form 37(a) in the characteristic diagram

FIG. 3(a) is the composition of two phase comparative parts A and B, so that the difference of the output between the output of 35a in FIG. 9 (a) and the output of 35b in FIG. 9 (b) in the simulation property in FIG. 9 of the conventional circuit is obtained. Since the output property of 37b in FIG. 8 (b) is the difference between the phases of 90 degrees each other, so that it is found that a constant direct current level has been outputted. According to the output properties of 37c in FIG. 3 (c), it is found that the difference between the output of 35c in FIG. 9 (c) and the output of 35b in FIG. 9 (b) in the simulation property of the conventional circuit is obtained. In this way, according to the embodiment shown in FIG. 2, the phase comparative operation is carried out on the basis of the phase delay of the delay circuit 25.

[0036]

Further, FIG. 4 shows a circuit simulation result of the operational wave forms when a repeat signal of 1, 0, 0, 0, in which the zero continuous data is added to the repeat signal of 1, 0 shown in FIG. 3, is inputted. Respective wave form properties provided with marks of " ' " are described in association with the case of FIG. 3. As shown from the output wave forms in FIG. 4 (a), FIG. 4 (b) and FIG. 4 (c) (namely, 38a' to 38c'), even during a period that the same codes are continuing (namely, during a period that zero is continuing three times), the direct current levels represented by 36a' to 36c' are substantially the same as those in FIG. 3 (namely, in the same phase, it shows the same direct current level

: .

completely independently of the code), so that the direct current levels are not largely displaced by the code as the conventional circuit which has been already described.

[0037]

FIG. 5 shows a relation between the phase difference and the average direct current level of a phase comparative output of two input signals. As shown from this drawing, it is found that a constant direct level is outputted without reference to the code at a reference phase (in FIG. 3, 90 degrees) and even in a range where the phase is displaced from the reference phase, as shown from the comparison with FIG. 11, the displacement of the output level is small.

[0038]

As described, according to the embodiment shown in FIG. 2, even if the digital code signals are used as the input signals of the phase comparative parts 41 and 42, it is possible to a stable phase comparative output independently of the code. Alternatively, according to the embodiment shown in FIG. 2, the level shift circuit 28 may be omitted depending on the constitution of a circuit, for example, in the case that it is constituted by the use of the MOS transistor or the like. Additionally, even if the positional relation between the level shift circuit 28 and the delay circuit 25 in connection is changed, the operational principle is not changed. Further, the present embodiment has an advantage such that the smaller number of the elements are required compared to the case that the constitution shown in FIG. 1 is realized by the combination

of the conventional phase comparative circuits shown in FIG. 8, so that the present embodiment is suitable for downsizing the circuit, obtaining high reliability and decreasing electric power consumption.

[0039]

FIG. 6 further shows other embodiment according to the present invention. In FIG. 6, reference numerals 1 and 2 denote input terminals for a signal for a differential mode, reference numerals 3 and 4 also denote input terminals of a signal for a differential mode, reference numerals 5 and 6 denote output terminals of a differential output signal, a reference numeral 7 denotes a high electric potential power supply terminal, a reference numeral 8 denotes a low electric potential power supply terminal, reference numerals 11 to 18 denote first to eighth transistors, reference numerals 21 and 22 denote first and second resistances, reference numerals 23, 24 and 26 denote first to third constant current circuits, a reference numerals 27 denotes a capacity and a reference numerals 28 denotes a level shift circuit. The circuit shown in FIG. 6 is different from the circuit according to the embodiment shown in FIG. 2 in that the delay of 90 degrees is realized as the delay circuit by adding the capacity 27 between the emitters of the transistors 17 and 18. The operation of the present circuit is the same as that of the embodiment shown in FIG. 2, however, the reference delay signal is realized by delaying the current reciprocation of the collectors of respective transistors by 90 degrees due to the capacity 27 with respect to the input signals at a base terminal

of the transistors 17 and 18. As the operational property, according to the same principle as that of the embodiment shown in FIG. 2, the same property can be obtained as that of the embodiment shown in FIG. 2. The embodiment shown in FIG. 6 is a constitution such that a very simple delay circuit is provided to the embodiment shown in FIG. 2. Compared to the case such that a general delay circuit is used independently, the present embodiment has an advantage such that it is suitable for downsizing the circuit, obtaining high reliability and decreasing electric power consumption.

[0040]

FIG. 7 shows an embodiment such that the phase comparative circuit according to the present invention shown in FIG. 1 is applied to a conventional identification/timing extraction circuit shown in FIG. 12. By using the phase comparative circuit according to the present invention, the level of the phase comparative output does not depend on a data pattern so that it is stabilized. Therefore, even if the data pattern is largely changed, it is possible to maintain the phase synchronization condition stably. Alternatively, it is a matter of course that the constitutions shown in FIGS. 2 and 6 can be applied in place of the constitution shown in FIG. 1.

[0041]

The embodiments according to the present invention has been explained taking a bipolar transistor circuit, however, it is possible to realize the same function even if the amplitude elements and the impedance elements of other MOS transistors

or the like are applied. Alternatively, as the phase comparative circuit shown in FIG. 1, it is possible to apply a phase comparative circuit by the use of an exclusive logical addition circuit and a differential circuit or the like which are generally used in many cases in addition to the constitution shown in FIG. 8. With respect to an operational circuit and a delay circuit, it is possible to apply various constitutional circuits.

[0042]

[EFFECT OF THE INVENTION]

As described above, according to the present invention, the dependency of a data pattern is cancelled by providing the delay circuit and comparing the phases at the first and second phase comparative parts, so that the present invention has an advantage such that it is possible to obtain a stable phase comparative output independently of the condition of the code even if the digital codes are used as two phase comparative input signals.

[BRIEF DESCRIPTION OF THE DRAWINGS]

[Fig. 1]

FIG. 1 is a block diagram for showing one embodiment of a data signal phase comparative circuit according to the present invention.

[Fig. 2]

FIG. 2 is a circuit diagram for showing another embodiment of a data signal phase comparative circuit according to the present invention.

[Fig. 3]

FIG. 3 is a diagram for showing a wave form simulation result of the embodiment shown in FIG. 2.

[Fig. 4]

FIG. 4 is a diagram for showing a wave form simulation result of the embodiment in FIG. 2.

[Fig. 5]

FIG. 5 is a diagram for showing a relation between the phase difference of an input signal and a direct current level of an output signal in the embodiment shown in FIG. 2.

[Fig. 6]

FIG. 6 is a circuit diagram for showing further other embodiment according to the present invention.

[Fig. 7]

FIG. 7 is a diagram for showing an identification/timing extraction circuit as an embodiment applying the present invention.

[Fig. 8]

FIG. 8 is a diagram for showing an example of a conventional phase comparative circuit.

[Fig.9]

FIG. 9 is a diagram for showing a wave form simulation result example of the conventional phase comparative circuit shown in FIG. 8.

[Fig. 10]

FIG. 10 is a diagram for showing a wave form simulation result example of the conventional phase comparative circuit

shown in FIG. 8.

[Fig. 11]

FIG. 11 is a diagram for showing a relation between the phase difference of an input signal and a direct current level of an output signal in the conventional phase comparative circuit shown in FIG. 8.

[Fig. 12]

FIG. 12 is an identification/timing signal extraction circuit as an example such that the conventional phase comparative circuit is applied.

[EXPLANATION OF REFERENCE NUMERALS]

1: input terminal

2: input terminal

3: input terminal

4: input terminal

5: output terminal

6: output terminal

7: high electric potential power supply terminal

8: low electric potential power supply terminal

11: transistor

12: transistor

13: transistor

14: transistor

15: transistor

16: transistor

17: transistor

18: transistor

21: resistance
22: resistance
23: constant current circuit
24: constant current circuit
25: delay circuit
26: constant current circuit
27: capacity
28: level shift circuit
41: first phase comparative part
42: second phase comparative part

[Document Name]

Abstract

[Purpose]

To prevent a direct current level of an output wave form from being largely changed depending on a code pattern even if the phase comparative operation between the digital code signals each other is carried out.

[Constitution]

The present invention is characterized in that an input signal applied to an input terminal 1 is delayed by a delay circuit, the phase difference between the delay signal delayed by this delay circuit 25 and an input signal applied to an input terminal 3 is compared by a first phase comparative part 41 and the phase difference between its output and an input signal to be applied to the input terminal 1 is compared by a second phase comparative part 42, so that a phase difference component depending on a data pattern, which is generated in the first phase comparative part 41, is cancelled in the second phase comparative part 42.

[Selected Drawing] FIG. 1

図訳

FIG. 1

25: delay circuit

41: first phase comparative part

42: second phase comparative part

FIG. 2

28: level shift circuit

25: delay circuit

FIG. 3

Voltage (V), time (ns)

FIG. 4

Voltage (V), time (ns)

FIG. 5

Average direct current level of phase comparative circuit
output (V)

Increasing of the number that the same codes are continuing
Phase difference (degree)

FIG. 6

28: level shift circuit

FIG. 7

25: delay circuit

41: differential circuit
42: phase comparative part
51: input data signal terminal
52: output signal terminal
53: clock signal output terminal
54: identification circuit

FIG. 9

voltage (V), time (ns)

FIG. 10

voltage (V), time (ns)

FIG. 11

Average direct current level of Phase comparative circuit
output (V)

Increasing of the number that the same codes are continuing
Phase difference (degree)

FIG. 12

51: input data signal terminal
52: output signal terminal
53: clock signal output terminal
54: identification circuit
55: phase comparative circuit